

TEHNICI DE DETECTIE A ERORILOR

CONCEPTUL DE TESTARE A FUNCTIONARII

$$y_i = f_i(x_1, x_2, \dots, x_n), \quad (3.1) \\ i = 1, 2, \dots, m.$$

Să se găsească o submulțime de combinații ale semnalelor de intrare N' , din mulțimea N , astfel încât aplicarea ei pe ieșirile primare ale sistemului permite - prin observarea răspunsului la ieșiri - evidențierea prezentei sau absenței defectelor. Combinația N' a semnalelor de intrare va fi numită mulțimea semnalelor de detecție. Dacă numărul elementelor submulțimii N' este minimal, secvența de test corespunzătoare se va numi minimală. O secvența de test este completă dacă aplicarea sa permite detecția tuturor defectelor din sistem; în caz contrar secvența va fi incompletă.

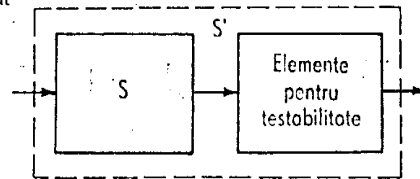


Fig. 3.1. Structura unui sistem testabil.

1

MODELE DE DEFECTE PENTRU CIRCUITELE LOGICE

Defect - o imperfecțiune fizică a unui element al sistemului, care antrenează o *funcționare permanent, temporară sau intermitentă eronată*

Defectare - o schimbare în valoarea unei sau a multor variabile de ieșire sau de stare ale sistemului, astfel încât acestea ies din clasa valorilor prestabilite. **Defectarea** reprezintă modalitatea de manifestare a unui **defect** într-un circuit, dar nu întotdeauna un **defect** dă naștere unei **defectări**.

Un **defect** se caracterizează prin natura, valoarea, extinderea și durata sa.

Natura unui defect poate fi clasificată ca fiind logică sau nelogică.

Un defect logic face ca valoarea logică într-un anumit punct al circuitului să devină opusă celei specificate (logica booleană).

Defectele nelogice includ restul imperfecțiunilor, ca de exemplu funcționările necorespunzătoare ale semnalului de tact, căderile tensiunii de alimentare, etc.

Valoarea unui defect logic într-un punct al circuitului indică dacă defectul crează o valoare logică eronată fixă sau variabilă.

Extinderea unui defect specifică dacă efectul defectului este local sau distribuit. Un defect local afectează o singură variabilă, în timp ce un defect distribuit afectează mai multe variabile. De exemplu, un defect logic este un defect local, în timp ce funcționarea necorespunzătoare a tactului este un defect distribuit.

Durata unui defect indică dacă eroarea este permanentă sau temporară.

Defectele pot fi clasificate în : **catastrofice** sau **hard** și **parametrice** sau **soft**.

Defectele **catastrofice** sau **hard** determină o cădere completă a respectivului circuit. Defectele de scurtcircuit sau întrerupere se încadrează în această categorie.

În cazul defectelor **parametrice** sau **soft** anumite componente pot realiza funcția dorită, dar valorile diversilor parametri pot fi alterate, astfel încât circuitul în ansamblul său să nu mai funcționeze corect. De exemplu, valorile rezistențelor, capacităților sau ale amplificării tranzistoarelor pot să se modifice în afara toleranței acceptate

2

Modelarea defectelor

Cele mai dese defecte care apar în cazul circuitelor electronice digitale se datorează următoarelor cauze:

- componente defecte
- întreruperi ale liniilor de semnal
- linii scurtcircuitate la masă sau la sursa de alimentare
- scurtcircuite între liniile de semnal
- întârzieri excesive pe liniile de semnal.

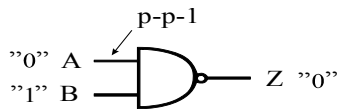
În general, efectul unui defect într-un circuit logic este reprezentat printr-un *model*. Utilitatea modelului este determinată de acuratețea cu care acesta reprezintă efectul de schimbare pe care defectul îl are asupra semnalelor circuitului. Modelele cele mai utilizate în prezent în tehnica testării pentru reprezentarea defectelor în circuitele logice sunt:

- 1) modelul "punere-pe"
- 2) modelul "punte"
- 3) modelul "întrerupere"

Transformarea defectului considerat într-un circuit electric echivalent pentru componenta defectă rezultată, poartă denumirea de modelare a defectului.

Defecte de tip "punere-pe" (s-a-1 sau s-a-0)

Modelul presupune că un defect al unei porți logice se manifestă prin faptul că una dintre intrările sau ieșirile sale este blocată fie pe starea logică 0 (*punere-pe-0*), fie pe starea logică 1 (*punere-pe-1*). Defectele de punere-pe-0 și punere-pe-1 sunt abreviate ca *p-p-0*, respectiv *p-p-1*



Această combinație logică poate fi utilizată ca și **combinație de test** pentru defectul de p-p-1 la intrarea A, deoarece valorile ieșirilor pentru poarta funcțional corectă și pentru poarta afectată de defect sunt complementare.

Fig.1 Poartă ȘI-NU cu intrarea A defect de p-p-1

3

Modelul de punere-pe poate fi utilizat și pentru reprezentarea **defectelor multiple** în circuitele digitale.

Un defect multiplu de punere-pe - există un grup de defecte de **punere-pe** în circuit, simultan.

O variantă a defectului multiplu îl constituie **defectul unidirecțional**. Un defect multiplu este unidirecțional dacă toate defectele constituente sunt fie de p-p-0 sau de p-p-1, dar nu din ambele simultan.

Remarca

Numărul defectelor care trebuie testate într-un circuit depinde de numărul de noduri al circuitului respectiv.

Semnalele de test (vectorii stimuli de test) trebuie să fie astfel generați încât să permită testarea fiecărui nod pentru cazul unui defect de p-p-1 și, respectiv, de p-p-0.

Se poate deduce ca numărul defectelor singulare care trebuie să fie testate este mai mic decât dublul numărului de noduri, deoarece unele defecte de punere-pe în diferite noduri produc același efect.

Acest număr este cu câteva ordine de mărime mai mic decât numărul de stări funcționale în care se poate afla circuitul.

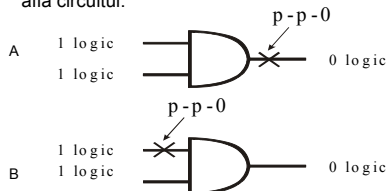


Fig.2.

Testarea unei porți logice ȘI afectate de un defect de p-p-0. Dacă la cele două intrări se aplică 1 logic, rezultatul la ieșire ar trebui să fie 1, dar dacă ieșirea este p-p-0 atunci vom măsura la ieșire rezultatul eronat 1 (fig A).

Fig. b arată că testul este identic și se obține același rezultat eronat în cazul unui defect de p-p-0 a unei linii de intrare.

Testele ilustrate în figură sunt sigur operaționale când considerăm poarta logică respectivă izolată. Pentru a realiza condițiile de testare ale porții respective, trebuie să putem seta astfel intrările primare încât să genereze semnalele de test necesare la intrările porții testate. Această condiție poartă denumirea de **controlabilitate**. Trebuie să putem transmite rezultatele testului către una dintre ieșirile observabile, în vederea evaluării. Această condiție poartă denumirea de **observabilitate**. Dacă una sau ambele condiții prezentate mai sus nu pot fi realizate, atunci defectul considerat nu este testabil.

4

Alte caracteristici

Numărul total de defecte testabile, ca procent din numărul total de defecte posibile, poartă denumirea de **factor de acoperire a defectelor**.

Deoarece testarea este un proces relativ scump, este indicat să se realizeze un test cât mai scurt. Cu toate acestea, în general, cu cât este mai scurtă secvența de test, cu atât este mai mic numărul de vectori de test, prin urmare cu atât este mai scăzut factorul de acoperire a defectelor.

Există o interdependență între lungimea secvenței de test și factorul de acoperire a defectelor.

Tipic, este acceptabil un factor de acoperire a defectelor de ordinul 95% pentru circuitele digitale integrate pe scară largă, în timp ce procesul de testare trebuie să fie de ordinul a 1 – 2 secunde.

Defecte de tip “punte”

Un defect de tip punte apare atunci când două linii de semnal dintr-o rețea logică sunt conectate accidental dând naștere unei cablări logice. Dependent de tipul de logică utilizată, efectul defectului constă în realizarea funcției logice ȘI – cablat între semnalele implicate, pentru logica pozitivă, și respectiv a funcției logice SAU – cablat în cazul logicii negative. **Figura.3** prezintă circuitele echivalente pentru o poartă afectată de un defect de scurtcircuit în cazul logicii pozitive, iar **Figura.4** prezintă cazul logicii negative.

Defectele de tip punte (scurt-circuit) reprezintă o clasă importantă de defecte permanente, care nu pot fi modelate ca și defecte de punere-pe.

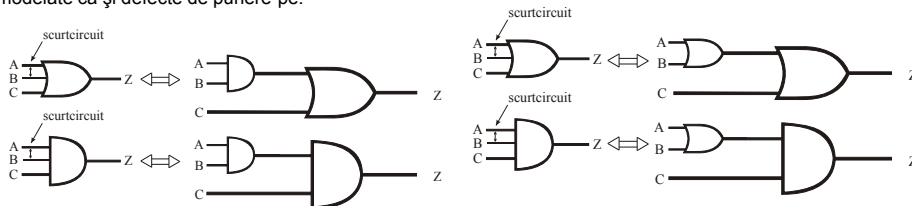


Fig. 3. Defect de punte în logică pozitivă

Fig. 4. Defect de punte în logică negativă

5

Defectele de tip punte (scurtcircuit) se pot clasifica în două tipuri:

- scurtcircuite pe intrare;
- scurtcircuite cu reacție.

Să considerăm un circuit combinațional care implementează o funcție oarecare $F(x_1, x_2, \dots, x_n)$

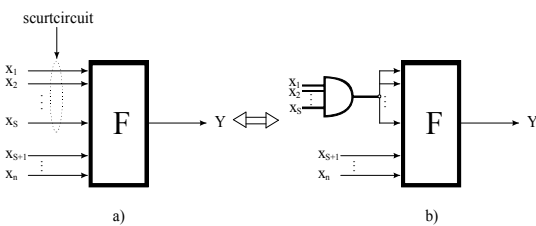


Fig. 5. Model logic – scurtcircuit multiplu pe intrare

Dacă există un scurtcircuit între s linii de intrare ale circuitului, se spune că există un defect de scurtcircuit pe intrare, de multiplicitate s.

Pentru același circuit, un **defect de scurtcircuit multiplu cu reacție** se obține dacă considerăm că se produce un scurtcircuit între s linii de intrare și ieșirea circuitului. Modelul corespunzător defectului este prezentat în **Figura.6**.

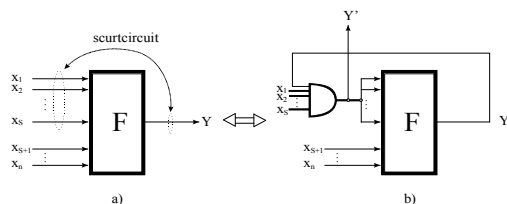


Fig. 6. Model logic – scurtcircuit multiplu cu reacție

Datorită reacției introduse, prezența unui defect de scurtcircuit cu reacție poate conduce la intrarea circuitului combinațional în oscilație sau în transformarea sa într-un circuit secvențial.

6

Defecte de tip "întrerupere"

Defectele de tip întrerupere sunt caracteristice circuitelor realizate în tehnologie CMOS. Ele apar atunci când un tranzistor MOS se blochează pe starea de înaltă impedanță, indiferent de starea intrării sale. Un astfel de defect nu produce scurtcircuitarea ieșirii la nici una dintre tensiunile de alimentare, neputând fi echivalat cu un defect de p-p-1 clasic. Diferența majoră între cele două tipuri de defecte constă în faptul că, în timp ce defectul clasic de punere-pe lasă circuitul în continuare combinațional, defectul de întrerupere îl transformă într-un circuit secvențial. Aceasta se întâmplă deoarece tranzistorul care produce un astfel de defect memorează starea sa logică anterioară pe o durată dependentă de valoarea curentului de pierdere la nodul de ieșire.

Majoritatea algoritmilor de generare automată a secvențelor de testare se bazează pe utilizarea modelului de punere-pe. Cu toate acestea, există o serie de alte defecte fizice care nu pot fi modelate corespunzător prin modelele de tip punere-pe.

Rezumat

- Pentru a dezvolta metode coerente de testare a circuitelor electronice este necesară *modelarea defectelor* care pot să apară la diferite niveluri.
- Există trei tipuri de modele de defectare mai răspândite: *defectele de tip "punere-pe", defectele de tip "punte – scurtcircuit", defecte de "întrerupere"*. Fiecare model de defectare permite realizarea unor scheme echivalente, pe baza cărora se poate asigura o strategie de testare pentru defectul avut în vedere.
- Pentru circuitele logice combinaționale, dezvoltarea metodelor de test se face prin generarea corespunzătoare a stimulilor de test care permit evidențierea defectelor. Pentru ca testul să fie posibil, este necesară îndeplinirea condițiilor de *controlabilitate și observabilitate*. Dacă ambele condiții sunt îndeplinite, atunci este posibilă atât generarea stimulilor de test, cât și observarea defectului la una dintre ieșirile circuitului / plachetei.

7



- 1 Care este diferența între *extinderea* și *durata* unui defect?
2. Dați exemple de defecte *parametrice* și de defecte *logice*.

- Determinați modelul de testare a unei porți logice ȘI-NU pentru un defect de p-p-0.
- Determinați modelul de testare a unei porți logice SAU pentru un defect de p-p-1.
- Ce înțelegeți prin *controlabilitate* și *observabilitate* a unei scheme electronice numerice?

TEMĂ: Elaborați modelele de defectare și schemele echivalente ale circuitelor defecte pentru porțile logice fundamentale

- Elaborarea modelelor pentru defecte de p-p-0 și p-p-1
- Dezvoltarea schemelor echivalente
 - Discuție pentru logica pozitivă și logica negativă
- Scrierea tabelor de adevăr pentru funcționare corectă și funcționare afectată de defect
- Determinarea secvențelor care pot evidenția defectul

8

localizarea sau diagnosticarea defectarilor

P multimea celor n defectari susceptibile de a afecta sistemul

Fiecarei defectari d_i ii corespunde o submultime N_{d_i} din multimea semnalelor N ,

N_d multimea semnalelor de detectie

Relatia dintre o defectare si o submultime de detectie defineste o aplicatie a lui P in N_d

In cazul in care aceasta aplicatie este injectiva, submultimile N_{d_i} sunt distincte si defectarile se pot discerne

- **generarea secventelor de diagnostic consta in impartirea multimii secventelor N_d in submultimi N_{d_i} precum si in stabilirea unei strategii de derulare a testelor pentru a putea discerne fiecare element al sistemului cercetat. In acest context apare si problema minimizarii lungimii secventelor de test, care poate fi solutionata in parte prin gasirea unui compromis intre lungimea testului si nivelul de diagnostic dorit.**

1. *Teste pentru verificarea functionarii*
2. *Teste de incredere*, pentru verificarea diferitelor functii ale sistemelor in scopul obtinerii datelor asupra starii sistemului
3. *Teste de diagnostic*

9

METODE DE GENERARE A SECVENTELOR DE TEST PENTRU DIAGNOSTICAREA DEFECTELOR

- *Intrari si iesiri primare*
- *Teste: succesiunea vectorilor-semnale de intrare, X_k aplicati sistemului la intrarile primare si, respectiv, a vectorilor-semnale de iesire, Y_k prezenti la iesirile primare:*
- $$T_k = \{x_{k1}, x_{k2}, \dots, x_{kn}; y_{k1}, y_{k2}, \dots, y_{km}\} \quad k=1, 2, \dots, s. \quad (3.2)$$
- *Secventa de test*
- *Lungimea testului –s*
- *Rezolutia de diagnosticare a testului reprezinta cantitatea de informatii furnizata de multimea testelor de diagnostic*
- Se deosebesc:
- *Test parametric*
- *Test functional (exhaustiv, partial, statistic)*
- *Test dinamic*

10

METODE DE GENERARE A SECVENTELOR DE TEST PENTRU CIRCUITELE LOGICE

- *Se tine cont de:*
- *natura circuitului:* secvential sau combinational
- *dimensiunea sistemului:*
- *tehnologia utilizata:* circuite integrate pe scara redusa, medie, larga sau foarte larga, tehnologie TTL, MOS etc.;
- *informatia cercetata:* detectia sau diagnosticarea defectarilor.

Metodele de generare a secventelor de test

- *metode analitice*, respectiv *functionale*, dupa cum la generarea secventelor de test se tine seama de structura circuitelor logice, respectiv numai de functia lor logică;
- *metode deterministe*, respectiv *probabilistice*, dupa cum generarea lor se bazeaza pe principii deterministe, respectiv probabilistice

• GENERAREA SECVENTELOR DE TEST PRIN METODE DETERMINISTE

- Generarea secventelor de test prin analiza si simularea functiilor logice
Combinatia semnalelor de test la intrarile primare este impusa pe baza analizei structurii circuitului, iar prin simularea comportarii acestuia in prezenta anumitor defectari se determina defectarile susceptibile

de a fi puse in evidenta cu secventa de test respectiva la intrarile primare

-*Simulare deductiva*

-*Simulare prin compilare*

-*Simulare prin manipulare de tabele*

- Metode de generare a secventelor de test prin sinteza

11

GENERAREA SECVENTELOR DE TEST PRIN METODE DETERMINISTE

A. Generarea secventelor de test prin analiza si simularea functiilor logice

1. Simulare deductiva.

Metoda caili sensibile la propagarea unui defect

Dupa o partitionare a circuitului in circuite elementare si functional disjuncte se dezvolta o combinatie de teste pentru fiecare dintre circuitele elementare pe baza logicii circuitului, iar apoi se stabilesc semnalele de detectie la intrarile primare ale circuitului.

Metoda este eficace pentru circuitele simple, dar nu este realista pentru circuitele mai complexe.

2. Analiza si simulare asistata de calculator.

Simularea poate fi realizata in doua moduri

- (a) *Simulare prin compilare.*
- (b) *Simulare prin manipulare de tabele.*

B. Metode de generare a secventelor de test prin sinteza

1. *Metoda algoritmului D*

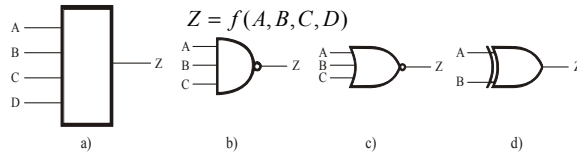
2. *Metoda diferentelor booleene.*

3) *Metode algebrice de generare a secventelor de test*

Generarea secvențelor de test prin analiza și simularea funcțiilor logice. **Metoda căii sensibile**

Conceptul activării unei căi

Problema esențială în generarea secvențelor de test pentru circuitele logice combinaționale este aceea de a asigura ca un defect care apare la intrarea unui element de circuit produce un efect la ieșirea unui alt element de circuit.



Din punctul de vedere al tehnicii testării trebuie să privim modalitățile prin care putem descrie relația între ieșirea Z și una dintre intrări, de exemplu A.
 > Z dependent numai de A;
 > Z independent de A.

Fig. 8 Activarea unei căi. a) Element logic general; b) Poartă ȘI-NU; c) Poartă SAU-NU; d) Poartă SAU-EXCLUSIV

În cazul porții logice fundamentale ȘI-NU, se poate deduce: $Z = \bar{A}$, pentru $B = C = 1$
 $Z = 1$, pentru B sau $C = 0$

În primul caz, intrările B și C acționează ca intrări de validare. Se spune că ele au realizat o **activare a căii** de la A la Z. În cel de-al doilea caz, s-a realizat invalidarea elementului logic și forțarea unei valori logice fixe la ieșirea sa. Se spune că, pentru o poartă de tip ȘI sau ȘI-NU în logică pozitivă, valoarea logică 1 aplicată la intrare este o valoare logică **nedominantă** deoarece lasă să se propage prin poartă semnalul logic aflat la cealaltă intrare. În același timp, 0 logic este o valoare logică **dominantă**, deoarece ea determină în mod unilateral valoarea ieșirii porții considerate.

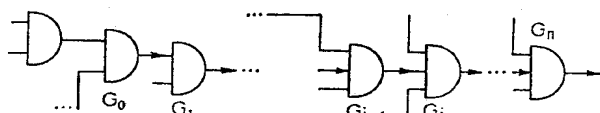
În mod similar, pentru poarta logică SAU-NU se poate afirma că valoarea logică **dominantă** este 1 logic, iar valoarea **nedominantă** este 0 logic. **Activarea căii** se produce în acest caz prin aplicarea la intrările B și C ale porții a valorii nedominante 0 logic.

În cazul porții logice SAU-EXCLUSIV, se produce întotdeauna activarea căii, în conformitate cu relațiile:

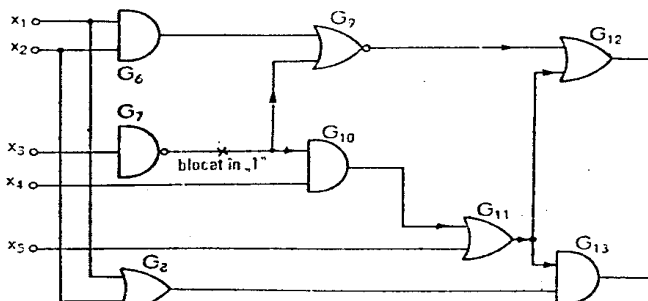
$$Z = \bar{A}, \text{ pentru } B = 1 \quad Z = A, \text{ pentru } B = 0$$

13

Având în vedere aceste considerente, înseamnă că este întotdeauna posibilă condiționarea intrărilor unei porți logice în așa fel încât să permită propagarea valorii de pe una dintre intrări către ieșirea porții. Această observație stă la baza unei proceduri de generare a secvențelor de test pentru circuitele logice combinaționale, cunoscută sub denumirea de **metoda activării unei căi**.



Cale sensibile de propagare unei defectari spre ieșirea circuitului



Aplicarea metodei „căii sensibile” pentru identificarea unui test de diagnoza.

$T1 = (x1, x2, x3, x4, x5; y2) = (1, 0, 1, 1, 0, 1)$, care identifica: ieșirea porții G7 blocată în „1”. Atunci când semnalul $y2 = 1 \rightarrow$ prezenta defectării, iar când $y2 = 0 \rightarrow$ absența defectării.

14

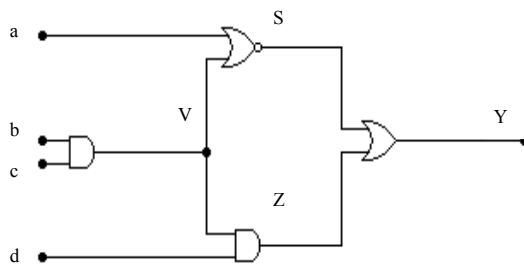
TEMĂ

Identificati vectori de test pentru defectele:

-iesirea V blocata in "0";

-iesirea Z blocata in "1";

- iesirea S blocata "1"



15

Metode de generare a secventelor de test prin sinteza

Pe baza considerarii structurii interne a circuitului cu ajutorul unui algoritm — pentru un defect — va rezulta una sau mai multe combinatii de semnale de detectie.

- **Metoda algoritmului D.**

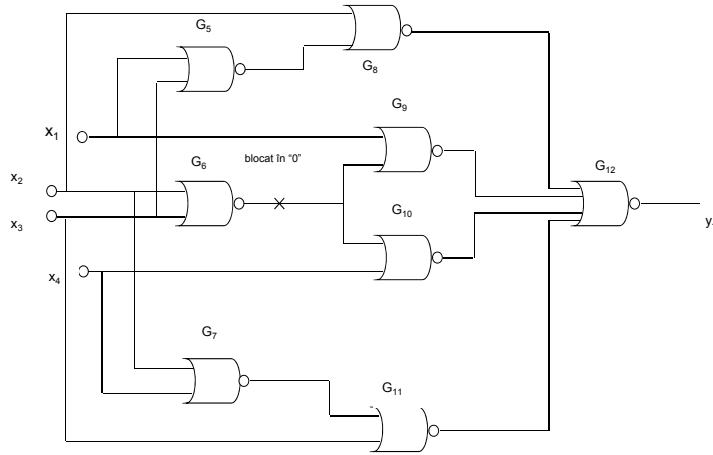
Conduce la obtinerea unui test pentru diagnosticarea unei defectari in termenii intrarii si iesirii portii defecte, generand sistematic simultan toate caile posibile de propagare a defectarii la toate iesirile primare ale circuitului.

- **Metoda diferențelor booleene.**

Metoda se bazează pe principiul sensibilizării căilor din circuit și conduce la o procedură de testare uniflux

16

Metoda algoritmului D



Circuit pentru exemplificarea algoritmului D

17

Etapa I : descrierea portilor logice cu tabelul lor de adevar.

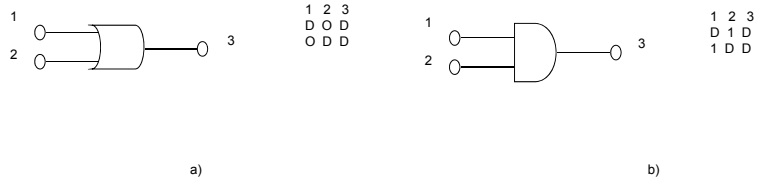
Pentru circuitul analizat portile G sunt definite in tabelul 1. In acest tabel, pe langa utilizarea valorilor logice 0 si 1, s-a mai introdus simbolul x, avand semnificatia ca linia corespunzatoare din circuit poate lua orice valoare, 0 sau 1.

Fiecare șir al tabelului – numit cub D – definește o relație cauzală între semnalele de intrare și ieșire.

Poarta/Nr. nod	1	2	3	4	5	6	7	8	9	10	11	12
G ₅	X 1 0		1 X 0		0 0 1							
G ₆		X 1 0	1 X 0			0 0 1						
G ₇		X 1 0		1 X 0			0 0 1					
G ₈		X 1 0			1 X 0			0 0 1				
G ₉	1 X 0					X 1 0			0 0 1			
G ₁₀				1 X 0		X 1 0				0 0 1		
G ₁₁			X 1 0				1 X 0				0 0 1	
G ₁₂								X X X 1 0	X X 1 X 0	X 1 X X 0	1 X X X 0	0 0 0 0 1

18

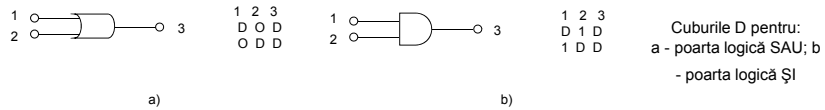
Etapa a II a: descrierea cubului D. Cuburile D pentru porțile elementare SAU, ȘI sunt indicate în figura



Se pornește de la definiția dată porților; se intersectează cuburile de definiție ale circuitelor elementare, utilizându-se regulile următoare:

$$\begin{aligned}
 0 \cap 0 &= 0 & x \cap x &= x & 0 \cap 0 &= 0 \\
 1 \cap 1 &= 1 & x \cap 1 &= x & 1 \cap 1 &= 1 \\
 x \cap x &= x \\
 1 \cap 0 &= D \\
 0 \cap 1 &= D'
 \end{aligned}$$

19



Poarta/Nr. nod	1	2	3	4	5	6	7	8	9	10	11	12
G ₅	0 D		D 0		D' D'							
G ₆		0 D	D 0			D' D'						
G ₇		0 D		D 0			D' D'					
G ₈		0 D			D 0			D' D'				
G ₉	0 D					D 0			D' D'			
G ₁₀				0 D	D 0					D' D'		
G ₁₁			0 D				D 0				D' D'	
G ₁₂							D 0 0 0	0 D 0 0	0 0 D 0	0 0 D D	0 0 D' D'	D' D' D' D'

20

Etapa a III-a: Construirea cubului defectării

Cubul unei defectări permite exprimarea testelor în vederea diagnosticării unui defect în termenii intrării și ieșirii porții defecte

Pentru circuitul tratat cubul defectării - ieșirea porții G_6 blocată în "0" - este indicat în tabelul 3, având semnificația că atunci când intrările 2 și 3 sunt fixate în 0, ieșirea 6 va avea valoarea 0 dacă defectarea este prezentă și 1 dacă defectarea este absentă.

Cubul defectării												Eticheta	Poarta	Ieșirea diverge la	Comentarii	
1	2	3	4	5	6	7	8	9	10	11	12					
0	0				D								CS ⁰	G ₆	9, 10	Se trece la etapa a IV-a

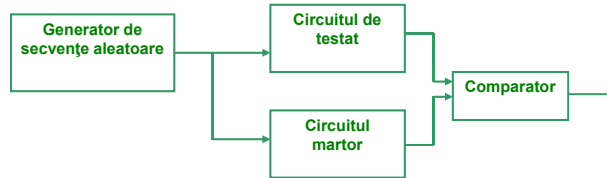
Etapa a IV-a: Generarea căii sensibile. Generarea unei căi de propagare pentru cubul defectării — cale sensibilă — este obținută cu ajutorul intersecției D

Nodul	Intersecția D												Eticheta	Poarta logică	Ieșirea diverge la	Comentarii
	1	2	3	4	5	6	7	8	9	10	11	12				
CS ⁰	0	0				D							CS ⁰	6	9, 10	Cubul D al defectării din circuit
$CS^0 \bigcap_D \{9\}$	0	0	0			D		D'					CS ^{0,1}	{6, 9}	9, 10, 12	Prima cale sensibilă prin G ₉
$CS^0 \bigcap_D \{10\}$	0	0	0			D		D'					CS ^{0,2}	{6, 10}	9, 10, 12	A doua cale sensibilă prin G ₁₀
$CS^{0,1} \bigcap_D \{10\}$	0	0	0			D		D'	D'				CS ^{0,1,1}	{9, 10}	12	Cale sensibilă prin G ₉ și G ₁₀
$CS^{0,1} \bigcap_D \{12\}$	0	0	0			D	0	D'	0	D			CS ^{0,1,2}	{12}	-	Se trece la determinarea testului
$CS^{0,2} \bigcap_D \{9\}$	0	0	0			D		D'	D'				CS ^{0,2,1}	{9, 10}	12	Identificat cu CS ^{0,1,1}
$CS^{0,2} \bigcap_D \{12\}$	0	0	0			D	0	0	D'	0	D		CS ^{0,2,2}	{12}	-	Se trece la determinarea testului
$CS^{0,1,1} \bigcap_D \{12\}$	0	0	0			D	0	D'	D'	0	D		CS ^{0,1,1,1}	{12}	-	Nu se mai caută o cale de propagare, se trece la căutarea testului

Generarea secvențelor de test pe principii probabilistice

Detectarea erorilor se bazează pe natura aleatoare și numărul mare al vectorilor de test. Se aplică circuitelor integrate pe scară largă

Metoda generării aleatoare a testelor



Secvențele de detecție obținute permit stabilirea unor dicționare de defecțiuni → sistemul este de tip autoinstruibil.

Problemă :determinarea lungimii unei secvențe de test L, care să asigure detecția defectărilor prezente cu o probabilitate dorită (depinde de structura circuitului).

P_A – probabilitatea de a accepta un circuit defect după testare;

P_{BD} – probabilitatea de bună funcționare a unui circuit în prezența unui defect la o anumită combinație a semnalelor de intrare;

Lungimea L a testului trebuie să fie : $(P_{BD})^L < P_A \quad L > \log P_A / \log P_{BD}$

Metodele deterministe sunt pentru defecte permanente. Pentru defectele intermitente se recomandă teste aleatoare / simultan Monte Carlo.